

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-313379  
(P2001-313379A)

(43)公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 27/108  
21/8242

識別記号

F I  
H 0 1 L 27/10

テマコード(参考)  
6 2 1 C 5 F 0 8 3

審査請求 未請求 請求項の数15 O.L (全 17 頁)

(21)出願番号 特願2000-131877(P2000-131877)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成12年4月28日 (2000.4.28)

(72)発明者 山本 朝恵

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100099830

弁理士 西村 征生

Fターム(参考) 5F083 AD10 AD26 AD48 GA06 GA21  
GA25 JA06 JA14 JA15 JA38  
JA39 JA40 JA56 MA06 MA17  
MA19 PR03 PR05 PR39 PR40

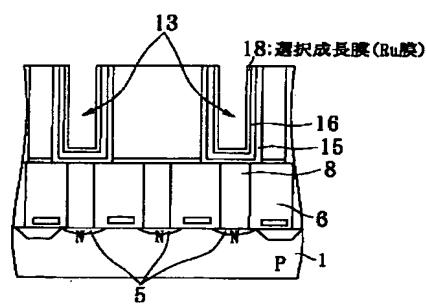
(54)【発明の名称】 半導体メモリの製造方法及び容量素子の製造方法

(57)【要約】

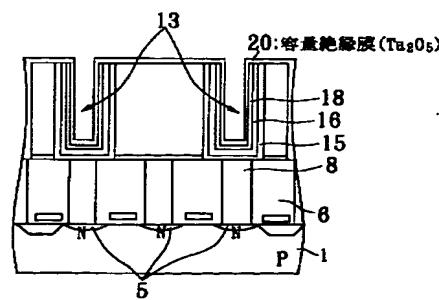
【課題】 容量絶縁膜にダメージを与えることなく、容量素子のリーク電流特性の低下を防止する。

【解決手段】 開示される半導体メモリの製造方法は、Ru膜から成る下部電極膜16Aを形成した後レジスト17をマスクとして不要な下部電極膜16Aを除去して下部電極16を形成し、レジスト17をアッシングにより除去した後、下部電極16表面のみに緩衝膜としての役割を担うRu膜から成る選択成長膜18を選択成長させ、この後にTa<sub>2</sub>O<sub>5</sub>膜から成る容量絶縁膜20を形成する。

(i)



(j)



## 【特許請求の範囲】

【請求項1】 半導体基板上にメモリセルトランジスタ及びその拡散領域に接続されたシリンド型容量素子を備えた半導体メモリの製造方法であって、  
前記半導体基板上に前記メモリセルトランジスタを形成した後全面に層間絶縁膜を形成する工程と、  
前記層間絶縁膜の所定の個所に前記シリンド型容量素子を形成するためのシリンド溝を形成する工程と、  
その後全面に下部電極膜を形成する工程と、  
その後前記シリンド溝内にのみレジストが残存するようレジスト処理する工程と、  
その後余分な前記下部電極膜を除去して前記シリンド溝内にのみ下部電極膜を残す工程と、  
その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴とする半導体メモリの製造方法。

【請求項2】 半導体基板上にメモリセルトランジスタ及びその拡散領域に接続されたシリンド型容量素子を備えた半導体メモリの製造方法であって、  
前記半導体基板上に前記メモリセルトランジスタを形成した後全面に第1の層間絶縁膜を形成する工程と、  
前記第1の層間絶縁膜に前記拡散領域を露出するコンタクトホールを形成し、該コンタクトホールに前記拡散領域に接続する容量コンタクトを形成する工程と、前記第1の層間絶縁膜上に第2の層間絶縁膜を形成した後、該第2の層間絶縁膜の所定の個所に前記シリンド型容量素子を形成するためのシリンド溝を形成する工程と、  
その後全面に下部電極膜を形成する工程と、  
その後前記シリンド溝内にのみレジストが残存するようレジスト処理する工程と、  
その後余分な前記下部電極膜を除去して前記シリンド溝内にのみ下部電極膜を残す工程と、  
その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴とする半導体メモリの製造方法。

【請求項3】 前記下部電極膜を残す工程の後に、前記レジストを除去する工程を含むことを特徴とする請求項1又は2記載の半導体メモリの製造方法。

【請求項4】 前記レジスト除去する工程を酸素プラズマ法により行うことを特徴とする請求項3記載の半導体メモリの製造方法。

【請求項5】 前記レジストを除去する工程の後に、前記下部電極膜上にのみ選択的に金属膜を形成する工程を含むことを特徴とする請求項3又は4記載の半導体メモリの製造方法。

【請求項6】 前記容量絶縁膜及び上部電極膜を形成する工程の後に、前記第2の層間絶縁膜上に第3の層間絶縁膜を形成し、その後ピットコンタクト形成予定位置の前記第3の層間絶縁膜及び前記第2の層間絶縁膜を選択的に除去して、所望の前記容量コンタクトを露出するピットコンタクトホールを形成する工程と、該ピットコンタクトホール及び前記第3の層間絶縁膜上に金属膜を順

次に形成した後、前記第3の層間絶縁膜上の不要な金属膜を除去してピットコンタクトを形成する工程と、前記第3の層間絶縁膜上に前記ピットコンタクトと接続するようピット配線を形成する工程とを含むことを特徴とする請求項1乃至5のいずれか1に記載の半導体メモリの製造方法。

【請求項7】 前記金属膜を形成する工程を、CVD法、PVD法又は両者の組み合わせにより行うことを特徴とする請求項5又は6記載の半導体メモリの製造方法。

【請求項8】 前記金属膜としてRuを用いることを特徴とする請求項5、6又は7記載の半導体メモリの製造方法。

【請求項9】 半導体基板上にシリンド型容量素子を備えた容量素子の製造方法であって、  
前記半導体基板の全面に層間絶縁膜を形成する工程と、  
前記層間絶縁膜の所定の個所に前記シリンド型容量素子を形成するためのシリンド溝を形成する工程と、  
その後全面に下部電極膜を形成する工程と、

20 その後前記シリンド溝内にのみレジストが残存するようレジスト処理する工程と、  
その後余分な前記下部電極膜を除去して前記シリンド溝内にのみ下部電極膜を残す工程と、  
その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴とする容量素子の製造方法。

【請求項10】 半導体基板上にシリンド型容量素子を備えた容量素子の製造方法であって、  
前記半導体基板上の全面に第1の層間絶縁膜を形成する工程と、

30 前記第1の層間絶縁膜にコンタクトホールを形成し、該コンタクトホールに容量コンタクトを形成する工程と、前記第1の層間絶縁膜上に第2の層間絶縁膜を形成した後、該第2の層間絶縁膜の所定の個所に前記シリンド型容量素子を形成するためのシリンド溝を形成する工程と、

その後全面に下部電極膜を形成する工程と、  
その後前記シリンド溝内にのみレジストが残存するようレジスト処理する工程と、  
その後余分な前記下部電極膜を除去して前記シリンド溝内にのみ下部電極膜を残す工程と、

40 その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴とする容量素子の製造方法。

【請求項11】 前記下部電極膜を残す工程の後に、前記レジストを除去する工程を含むことを特徴とする請求項9又は10記載の容量素子の製造方法。

【請求項12】 前記レジスト除去する工程を酸素プラズマ法により行うことを特徴とする請求項11記載の容量素子の製造方法。

【請求項13】 前記レジストを除去する工程の後に、前記下部電極膜上にのみ選択的に金属膜を形成する工程

を含むことを特徴とする請求項11又は12記載の容量素子の製造方法。

【請求項14】前記金属膜を形成する工程を、CVD法、PVD法又は両者の組み合わせにより行うことを特徴とする請求項13記載の容量素子の製造方法。

【請求項15】前記金属膜としてRuを用いることを特徴とする請求項13又は14記載の容量素子の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】この発明は、半導体メモリの製造方法及び容量素子の製造方法に係り、詳しくは、情報を記憶する容量素子の下部電極上に容量絶縁膜を形成するときに、下部電極加工時にこの表面に生じた変質の影響を容量絶縁膜が受けるのを防止するようにした半導体メモリの製造方法及び容量素子の製造方法に関する。

##### 【0002】

【従来の技術】半導体装置の代表として知られているLSI(大規模集積回路)は、メモリ製品とロジック製品とに大別されるが、最近の半導体製造技術の進歩につれて、特に前者における発展がめざましい。この半導体メモリは、DRAM(Dynamic Random Access Memory)と、SRAM(Static Random Access Memory)とに分類されるが、半導体メモリのほとんどが、集積度の点で優れているMOS(Metal Oxide Semiconductor)型トランジスタによって構成されている。また、DRAMはSRAMに比較して上述したような高集積化の利点をより大きく生かせるため、コストダウンが図れるので、情報機器等における各種の記憶装置に広く適用されている。

【0003】DRAMは、メモリセルトランジスタとこれに接続された容量素子(キャパシタ)とにより1つのメモリセルを構成して、容量素子の電荷の有無により情報を記憶している。ここで、容量素子は、容量絶縁膜の両側に一対の金属電極を設けた、MIM(Metal Insulator Metal)構造が広く採用されている。上述のように、DRAMは容量素子を利用して情報を記憶するが、記憶情報の増大に伴って、半導体基板上に形成される個々の容量素子の占有面積は制約されてしまっている。したがって、それぞれの容量素子の容量(キャパシタンス)を、制約された占有面積内で高める工夫が必要になる。もし容量素子の容量が情報を記憶するのに十分な値を有していないと、外部からのノイズ信号等により容易に誤動作するようになるので、ソフトエラーで代表されるようなエラーが生じ易くなる。

【0004】上述のようなDRAMの容量素子の高容量化を図るために、従来から、容量絶縁膜として高誘電率絶縁膜を用いた容量素子が構成されている。この高誘電率絶縁膜としては、例えば金属酸化膜の一種である酸化タンタル( $Ta_2O_5$ )膜を始めとして、チタン酸ジルコニア酸鉛(PZT)、チタン酸バリウム(BTO)、チタ

ン酸ストロンチウム(STO)等の多くの酸化膜が用いられている。例えば上述の酸化タンタル膜は、以前から用いられている酸化シリコン( $SiO_2$ )膜と比べて略10倍の大きさの誘電率を有し、また窒化シリコン( $Si_3N_4$ )膜と比べて略4倍の大きさの誘電率(25~30)を有しているので、容量素子の容量を増加させることができるようになる。

【0005】また、容量素子の高容量化を図る他の考え方として、容量素子の一方の電極である上部電極あるいは10他方の電極である下部電極の表面積を拡大させるために、シリンダ型、ボックス型、フィン型等の各種の立体構造が実施されている。また、このような立体構造と高誘電率絶縁膜から成る容量絶縁膜とを組み合わせることで、容量素子の容量をさらに増加させることができるようになる。

【0006】次に、図12乃至図14を参照して、従来の半導体メモリの製造方法について工程順に説明する。なお、容量素子としてはシリンダ型の立体構造を採用する例で説明する。図12(a)に示すように、予め所定のプロセスを経て、既にメモリセルトランジスタが形成されている例えばP型シリコン基板51を用意する。この基板51には、周知のLOCOS(Local Oxidation of Silicon)法等により酸化シリコン膜からなる素子分離用絶縁膜52が形成され、この素子分離用絶縁膜52により囲まれた活性領域にはゲート酸化膜53及びゲート電極(ワードライン)54が形成されている。ゲート電極54の両側にはソース領域又はドレイン領域を構成する複数のN型拡散領域55が選択的に形成され、表面は酸化シリコン膜等からなる層間絶縁膜56で覆われている。

【0007】ゲート電極54及び複数のN型拡散領域55(ソース領域又はドレイン領域)によりMOS(Metal Oxide Semiconductor)型トランジスタから成るメモリセルトランジスタ60が構成されている。容量素子が接続される所望のN型拡散領域55の表面の層間絶縁膜56にはコンタクトホール57が形成されて、このコンタクトホール57には多結晶シリコン等から成る容量コンタクト58が形成されている。また、層間絶縁膜56上にはプラズマ酸窒化膜61を介してプラズマ酸化膜62が形成されて、これらプラズマ酸窒化シリコン膜61及びプラズマ酸化シリコン膜62には、容量コンタクト58を露出するようにシリンダ溝63が形成されている。

【0008】次に、図12(b)に示すように、CVD法により全面に(窒化チタン)TiN/(チタン)Tiの積層膜から成るバリア膜65を形成した後、スパッタ法のみにより、又はスパッタ法の後にCVD法を組み合わせて、全面に下部電極膜66Aを形成する。この下部電極膜66Aは、後の工程で所望の形状にパターニングされることにより下部電極が形成される。次に、図13

(c) に示すように、シリンドラ溝63内にレジスト67を埋め込むように形成する。

【0009】次に、図13(d)に示すように、エッチバックにより層間絶縁膜62の表面を平坦化して不要なバリア膜65及び下部電極膜66Aを除去する。これにより、下部電極66を形成する。次に、図14(e)に示すように、酸素(O<sub>2</sub>)プラズマ法によりシリンドラ溝63内のレジスト67をアッシングして除去する。次に、図14(f)に示すように、CVD法により全面にTa<sub>2</sub>O<sub>5</sub>膜から成る容量絶縁膜68及び上部電極膜69Aを形成した後、上部電極膜69Aを所望の形状にパターニングして上部電極(図示せず)を形成することにより容量素子を形成して、半導体メモリを完成させる。

【0010】ところで、上述した従来の製造方法で製造された半導体メモリは、容量素子のリーク電流特性が低下するという欠点が生ずる。すなわち、従来の半導体メモリの製造方法では、図13(d)の後の図14(e)の工程で酸素プラズマ法でレジスト67をアッシングするときに、酸素プラズマにより下部電極66の表面が損傷されて変質する現象が生ずる。そして、この変質した下部電極66の表面に容量絶縁膜68が形成されるので、その下部電極66の変質の影響により容量絶縁膜68が劣化してリーク電流が増大するようになる。

【0011】上述のようにレジストのアッシング時の上部電極膜の変質の影響を防止するようにした半導体メモリの製造方法が、例えば特開平7-94600号公報に開示されている。以下、図15～図18を参照して、同半導体メモリの製造方法について工程順に説明する。

【0012】まず、図15(a)に示すように、予め所定のプロセスを経て、既にメモリセルトランジスタ130が形成されているシリコン基板131を用意する。メモリセルトランジスタ130は、ゲート酸化膜121、ゲート電極123、ソース領域又はドレイン領域125(低不純物濃度領域125a及び高不純物濃度領域125b)により構成されている。符号127は絶縁膜、符号133は分離用絶縁膜、符号135はチャネルストップ領域、符号137はピット線、符号141は層間絶縁膜である。

【0013】次に、図15(b)に示すように、層間絶縁膜141を異方性エッチングして所望のソース領域又はドレイン領域125に達するコンタクトホール141aを形成した後、CVD法により全面にドープト多結晶シリコン膜143を形成する。次に、図16(c)に示すように、ドープト多結晶シリコン膜143をエッチバックしてプラグ層143aを形成した後、スペッタ法により全面にバリア層113を形成し、次にCVD法により全面に下部電極膜101Aを形成する。

【0014】次に、図16(d)に示すように、スペッタ法等のPVD(Physical Vapor Deposition)により全面に例えばPZTから成る容量絶縁膜103を形成す

る。次に、図17(e)に示すように、容量絶縁膜103上にレジストパターン153を形成した後、このレジストパターン153をマスクとして、容量絶縁膜103、下部電極膜101A及びバリア膜113を順次に異方性エッチングしてパターニングする。これにより、下部電極101が形成される。

【0015】次に、図17(f)に示すように、レジストパターン153をアッシングして除去した後、CVD法により全面に酸化シリコン膜あるいは窒化シリコン膜から成る絶縁膜111を形成する。次に、図18(g)に示すように、絶縁膜111を容量絶縁膜103の表面が露出するまで異方性エッチングによりエッチバックして、下部電極101及び容量絶縁膜103の側壁を覆うように側壁絶縁膜111aを形成する。次に、図18(h)に示すように、全面に上部電極105を形成して、下部電極101、容量絶縁膜103及び上部電極105から構成された容量素子110を形成する。次に、全面に絶縁膜145を形成して、半導体メモリを完成させる。

【0016】上述のような特開平7-94600号公報に示された製造方法によれば、図16(d)、図17(e)の工程で示したように、下部電極膜101A及び容量絶縁膜103を連続的に形成した後に、レジストパターン153をマスクとして下部電極膜101A及び容量絶縁膜103を順次にパターニングし、次にレジストパターン153をアッシングして除去している。したがって、レジストパターン153をアッシングするときには、下部電極膜101Aは酸素プラズマに晒らされないので、下部電極膜101Aの表面が損傷されて変質されることがなくなる。それゆえ、下部電極膜101Aの変質の影響による容量絶縁膜103の劣化がなくなるので、容量素子のリーク電流特性の低下を防止することが可能となる。

### 【0017】

【発明が解決しようとする課題】ところで、特開平7-94600号公報記載の従来の半導体メモリの製造方法では、レジストのアッシング時の上部電極膜の変質の影響を防止することができるものの、容量絶縁膜に対して側壁絶縁膜を形成する必要があるので、この側壁絶縁膜形成工程において容量絶縁膜にダメージを与える、という問題がある。すなわち、上記公報記載の半導体メモリの製造方法では、まず、図17(f)の工程において、CVD法により絶縁膜111を形成するときに既に形成されている容量絶縁膜103に対してダメージを与える。特に、容量絶縁膜103がTa<sub>2</sub>O<sub>5</sub>膜のような酸化膜から成り、絶縁膜111が酸化シリコン膜又は窒化シリコン膜から成る組合せの場合には、酸化シリコン膜又は窒化シリコン膜は成膜原料としてモノシラン(SiH<sub>4</sub>)のようなシランを用いて還元により成膜するので、この成膜時にTa<sub>2</sub>O<sub>5</sub>膜が還元されるようになる。

【0018】次に、上述のように形成した絶縁膜111を、図18(g)の工程において、異方性エッチングによりエッチバックして側壁絶縁膜111aを形成するときにも、既に形成されている容量絶縁膜103に対して異方性エッチングによりダメージを与える。このように、絶縁膜111の成膜時に、あるいはエッチバック時に容量絶縁膜103にダメージが与えられる、容量絶縁膜103が劣化するようになるので、結果的に容量素子のリーク電流特性を低下させることになる。

【0019】さらに、上記公報記載の半導体メモリの製造方法では、図18(g)の工程により側壁絶縁膜111aを形成するときに、異方性エッチングによる加工精度が重要になるが、この異方性エッチングの制御が容易でないので、オーバーエッチングが生じる。したがって、このオーバーエッチングの度合いが大きいと、図19に示すように、側壁絶縁膜111aの膜厚が小さくなつて、下部電極101と上部電極105とが短絡するようになる。

【0020】この発明は、上述の事情に鑑みてなされたもので、容量絶縁膜にダメージを与えることなく、容量素子のリーク電流特性の低下を防止することができるようとした半導体メモリの製造方法及び容量素子の製造方法を提供することを目的としている。

#### 【0021】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、半導体基板上にメモリセルトランジスタ及びその拡散領域に接続されたシリンドラ型容量素子を備えた半導体メモリの製造方法に係り、上記半導体基板上に上記メモリセルトランジスタを形成した後全面に層間絶縁膜を形成する工程と、上記層間絶縁膜の所定の個所に上記シリンドラ型容量素子を形成するためのシリンドラ溝を形成する工程と、その後全面に下部電極膜を形成する工程と、その後上記シリンドラ溝内にのみレジストが残存するようにレジスト処理する工程と、その後余分な上記下部電極膜を除去して上記シリンドラ溝内にのみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴としている。

【0022】請求項2記載の発明は、半導体基板上にメモリセルトランジスタ及びその拡散領域に接続されたシリンドラ型容量素子を備えた半導体メモリの製造方法に係り、上記半導体基板上に上記メモリセルトランジスタを形成した後全面に第1の層間絶縁膜を形成する工程と、上記第1の層間絶縁膜に上記拡散領域を露出するコンタクトホールを形成し、該コンタクトホールに上記拡散領域に接続する容量コンタクトを形成する工程と、上記第1の層間絶縁膜上に第2の層間絶縁膜を形成した後、該第2の層間絶縁膜の所定の個所に上記シリンドラ型容量素子を形成するためのシリンドラ溝を形成する工程と、その後全面に下部電極膜を形成する工程と、その後上記シリ

ンダ溝内にのみレジストが残存するようにレジスト処理する工程と、その後余分な上記下部電極膜を除去して上記シリンドラ溝内にのみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴としている。

【0023】請求項3記載の発明は、請求項1又は2記載の半導体メモリの製造方法に係り、上記下部電極膜を残す工程の後に、上記レジストを除去する工程を含むことを特徴としている。

10 【0024】請求項4記載の発明は、請求項3記載の半導体メモリの製造方法に係り、上記レジスト除去する工程を酸素プラズマ法により行うことを特徴としている。

【0025】請求項5記載の発明は、請求項3又は4記載の半導体メモリの製造方法に係り、上記レジストを除去する工程の後に、上記下部電極膜上にのみ選択的に金属膜を形成する工程を含むことを特徴としている。

【0026】請求項6記載の発明は、請求項1乃至5のいずれか1に記載の半導体メモリの製造方法に係り、上記容量絶縁膜及び上部電極膜を形成する工程の後に、上記第2の層間絶縁膜上に第3の層間絶縁膜を形成し、その後ビットコンタクト形成予定位置の上記第3の層間絶縁膜及び上記第2の層間絶縁膜を選択的に除去して、所望の上記容量コンタクトを露出するビットコンタクトホールを形成する工程と、該ビットコンタクトホール及び上記第3の層間絶縁膜上に金属膜を順次に形成した後、上記第3の層間絶縁膜上の不要な金属膜を除去してビットコンタクトを形成する工程と、上記第3の層間絶縁膜上に上記ビットコンタクトと接続するようにビット配線を形成する工程とを含むことを特徴としている。

20 20 【0027】請求項7記載の発明は、請求項5又は6に記載の半導体メモリの製造方法に係り、上記金属膜を形成する工程を、CVD法、PVD法又は両者の組み合わせにより行うことを特徴としている。

【0028】請求項8記載の発明は、請求項5、6又は7記載の半導体メモリの製造方法に係り、上記金属膜としてRuを用いることを特徴としている。

【0029】請求項9記載の発明は、半導体基板上にシリンドラ型容量素子を備えた容量素子の製造方法に係り、上記半導体基板の全面に層間絶縁膜を形成する工程と、

40 上記層間絶縁膜の所定の個所に上記シリンドラ型容量素子を形成するためのシリンドラ溝を形成する工程と、その後全面に下部電極膜を形成する工程と、その後上記シリンドラ溝内にのみレジストが残存するようにレジスト処理する工程と、その後余分な上記下部電極膜を除去して上記シリンドラ溝内にのみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴としている。

【0030】請求項10記載の発明は、半導体基板上にシリンドラ型容量素子を備えた容量素子の製造方法に係り、上記半導体基板の全面に第1の層間絶縁膜を形成

する工程と、上記第1の層間絶縁膜にコンタクトホールを形成し、該コンタクトホールに容量コンタクトを形成する工程と、上記第1の層間絶縁膜上に第2の層間絶縁膜を形成した後、該第2の層間絶縁膜の所定の個所に上記シリンドラ型容量素子を形成するためのシリンドラ溝を形成する工程と、その後全面に下部電極膜を形成する工程と、その後上記シリンドラ溝内にのみレジストが残存するようにレジスト処理する工程と、その後余分な上記下部電極膜を除去して上記シリンドラ溝内にのみ下部電極膜を残す工程と、その後全面に容量絶縁膜及び上部電極膜を形成する工程とを含むことを特徴としている。

【0031】請求項11記載の発明は、請求項9又は10記載の容量素子の製造方法に係り、上記下部電極膜を残す工程の後に、上記レジストを除去する工程を含むことを特徴としている。

【0032】請求項12記載の発明は、請求項11記載の容量素子の製造方法に係り、上記下部電極膜を残す工程の後に、上記レジストを除去する工程を含むことを特徴としている。

【0033】請求項13記載の発明は、請求項11又は12記載の容量素子の製造方法に係り、上記レジストを除去する工程の後に、上記下部電極膜上のみに選択的に金属膜を形成する工程を含むことを特徴としている。

【0034】請求項14記載の発明は、請求項13記載の容量素子の製造方法に係り、上記金属膜を形成する工程を、CVD法、PVD法又は両者の組み合わせにより行うことを特徴としている。

【0035】請求項15記載の発明は、請求項13又は14記載の容量素子の製造方法に係り、上記金属膜としてRuを用いることを特徴としている。

### 【0036】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的に行う。図1乃至図9は、この発明の一実施例である半導体メモリの製造方法の構成を工程順に示す工程図である。以下、図1～図9を参照して、同半導体メモリの製造方法について工程順に説明する。まず、図1(a)に示すように、例えばP型シリコン基板1に、周知のLOCOS法等により酸化シリコン膜からなる素子分離用絶縁膜2を形成した後、この素子分離用絶縁膜2により囲まれた活性領域に酸化シリコン膜、多結晶シリコン膜を順次に形成し、これら酸化シリコン膜及び多結晶シリコン膜を所望の形状にパターニングしてゲート酸化膜3及びゲート電極(ワードライン)4を形成する。次に、ゲート酸化膜3及びゲート電極4をマスクとするセルフアラインにより、イオン注入法等の周知の不純物導入方法によりN型不純物をシリコン基板1に導入して、ソース領域又はドレイン領域を構成する複数のN型拡散領域5を選択的に形成する。次に、CVD法により全面に層間絶縁膜となる膜厚が0.5～1.0μmの酸

化シリコン膜6を形成する。

【0037】これにより、ゲート電極4及び複数のN型拡散領域5によりMOS型トランジスタから成るメモリセルトランジスタ10が構成されている。ここで、上述のソース領域又はドレイン領域を構成する複数のN型拡散領域5は、高不純物濃度領域と低不純物濃度領域との組み合わせであるいわゆるLDD(Lightly Doped Drain)構造になっていても、高不純物濃度領域のみの非LDD構造になっていてもよい。次に、フォトリソグラフィ法により、容量素子が接続される所望のN型拡散領域5の表面の酸化シリコン膜6にコンタクトホール7を形成する。

【0038】次に、図1(b)に示すように、CVD法により全面に、抵抗を下げるための所望の不純物がドープされた多結晶シリコン膜(ドープ多結晶シリコン膜)を形成した後、エッチバックにより酸化シリコン膜6の表面を平坦化して不要な多結晶シリコン膜を除去して、コンタクトホール7内にドープ多結晶シリコンから成る容量コンタクト8を形成する。

【0039】次に、図2(c)に示すように、プラズマCVD法により全面に膜厚が略50nmのプラズマ酸窒化シリコン膜11及び膜厚が略1μmのプラズマ酸化シリコン膜12を順次に形成する。

【0040】次に、図2(d)に示すように、フォトリソグラフィ法により、プラズマ酸窒化シリコン膜11及びプラズマ酸化シリコン膜12に、容量コンタクト8を露出するようにシリンドラ溝13を形成する。

【0041】次に、図3(e)に示すように、CVD法により全面に膜厚が略10nmのTiN膜及び膜厚が略30nmのTi膜の積層膜から成るバリア膜15を形成した後、スパッタ法のみにより、又はスパッタ法の後にCVD法を組み合わせて、全面に膜厚が5～10nmのルテニウム(Ru)膜から成る下部電極膜16Aを形成する。このRu膜は、酸化しても導電性酸化膜となる性質を有しているので、この後の工程で下部電極膜がパターニングされて下部電極が形成されても、この上に形成される容量絶縁膜の容量に影響を与えない。ここで、バリア膜15は、ドープ多結晶シリコン膜から成る容量コンタクト8から下部電極膜16Aに不要な不純物が拡散するのを防止すると共に、下部電極膜16Aとプラズマ酸化シリコン膜12との密着性を向上させる役割を担っている。

【0042】次に、図3(f)に示すように、全面にレジストを塗布した後全面露光し、次に現像処理を施してシリンドラ溝13内にレジスト膜17を残す。このとき、現像処理によりレジスト17がシリンドラ溝13内にのみ残るようレジストの塗布厚さ及び全面露光量を前もって実験により求めておくことが必要である。

【0043】次に、図4(g)に示すように、エッチバックによりプラズマ酸化シリコン膜12の表面を平坦化

して、不要な下部電極膜16A及びバリア膜15を順次に除去する。このエッチバックにより下部電極膜16Aは所望の形状にパターニングされて、下部電極16が形成される。このエッチバック時に、シリンドラ溝13内に埋め込まれているレジスト17の一部も除去される。

【0044】次に、図4(h)に示すように、酸素プラズマ法によりシリンドラ溝13内の残っているのレジスト17をアッシングして除去する。アッシング条件は、基板1を反応容器内に収容した状態で、以下のように設定した。

◆ガスの種類及びガス流量

$O_2/N_2 = 1000 \sim 3000 / 100 \sim 200 \text{ sccm}$  (Standard Cubic Centimeter per Minute)

◆パワー

1000W

◆容器内圧力

133~665 p a s (Pascal)

◆基板温度

200~300°C

【0045】上述したような、図3(f)~図4(h)にわたって、下部電極膜16Aを加工して下部電極16を形成するとき、特に図4(h)のレジスト17の酸素プラズマ法によるアッシング時に、下部電極16の表面が損傷されて変質する現象が生ずる。次に、アッシング時のレジスト残渣物(ハイドロカーボン、カーボン等の有機物)を完全に剥離するため、例えばジメチルスルホキシドとフッ化アンモニウムとの混合水溶液を用いて、基板1を洗浄処理する。

【0046】次に、図5(i)に示すように、CVD法により下部電極16表面のみに膜厚が5~10nmのRu膜から成る選択成長膜18を選択的に成長させる。この選択成長膜18は、後述するように下部電極16上に容量絶縁膜を形成するときに、下部電極加工時にこの表面に生じた変質の影響を容量絶縁膜が受けるのを防止するような緩衝膜としての役割を担う。選択成長条件は、基板1を反応容器内に収容した状態で、以下のように設定した。

◆ガスの種類

$Ru(EtCp)_2, O_2/N_2$

◆容器内圧力

略1330 p a s 以下

◆基板温度

略500°C以下

【0047】上述のRuのような特定の金属は、酸化シリコン膜のような絶縁膜上にはほとんど成長しないが、下部電極16のような下地金属上には成長することができる選択成長性の特徴を備えており、この選択成長性を利用することにより、下部電極16表面のみに形成する。図11は、上述の選択成長条件で選択成長膜18を形成した場合の、膜厚(縦軸)と成膜時間(横軸)との

関係を示す図である。図11において、直線Aは下部電極16上におけるRu膜の成長特性を示し、直線Bは第2の層間絶縁膜であるプラズマ酸化シリコン膜12上におけるRu膜の成長特性を示している。A、Bの両特性の比較から明らかのように、Ru膜から成る選択成長膜18は成長開始時には、金属膜である下部電極膜16にのみ選択的に成長し、以後の時間においても絶縁膜上におけるよりも大きな成長速度が得られることを示している。両者はインキュベーションタイムが異なっていることを示している。

【0048】次に、図5(j)に示すように、CVD法により全面に膜厚が5~20nmのTa<sub>2</sub>O<sub>5</sub>膜から成る容量絶縁膜20を形成する。Ta<sub>2</sub>O<sub>5</sub>膜の成膜条件は、基板1を反応容器内に収容した状態で、以下のように設定した。

◆ガスの種類及びガス流量

$Ta(OEt_2)_5/O_2 = 0.1 / 2000 \text{ sccm}$

◆容器内圧力

略66 p a s

◆基板温度

略450°C

【0049】次に、図6(k)に示すように、CVD法により全面に膜厚が10~20nmのRu膜から成る上部電極膜21Aを形成する。次に、図6(l)に示すように、CVD法により全面に膜厚が100~150nmのタンクステン(W)膜22を形成する。このW膜22はRu膜と共に上部電極膜を構成して、パターニング後に上部電極となる。特にW膜22はステップカバレッジ性に優れているので、微小径のシリンドラ溝13内に埋め込む場合に適しており、さらにRu膜よりは安価なので電極材料の低コスト化を図ることができる。

【0050】次に、図7(m)に示すように、W膜22のビットコンタクト形成予定位置を除いた表面にレジスト23を形成した後、このレジスト23をマスクとして、W膜22、上部電極21A及び容量絶縁膜20を順次に異方性エッチングしてパターニングして、プラズマ酸化シリコン膜12を露出する。これにより、上部電極膜21Aが所望の形状にパターニングされて上部電極21が形成されることにより、容量素子24が形成される。

【0051】次に、図7(n)に示すように、プラズマCVD法により全面に膜厚が略500nmのプラズマ酸化シリコン膜25を形成する。次に、図8(o)に示すように、プラズマ酸化シリコン膜25のビットコンタクト形成予定位置を除いた表面にレジスト26を形成した後、このレジスト26をマスクとして、プラズマ酸化シリコン膜25、プラズマ酸化シリコン膜12及びプラズマ酸化シリコン膜11を順次に異方性エッチングしてビットコンタクトホール27を形成して、所望の容量コントラクト8を露出する。

【0052】次に、図8 (p) に示すように、CVD法により全面に膜厚が略10nmのTiN膜及び膜厚が略10nmのTi膜の積層膜から成るバリア膜28、及び膜厚が略50nmのW膜29を順次に形成する。次に、図9 (q) に示すように、CMP (Chemical Mechanical Polishing) 法により、バリア膜28及びW膜29の不要部を除去して、ピットコンタクトホール27のみにバリア膜28及びW膜29の積層膜から成るピットコンタクト30を形成する。

【0053】次に、図9 (r) に示すように、CMP法により全面に膜厚が30～50nmのTiN膜31を形成して、ピットコンタクト30と接続するピット配線を形成する。次に、全面に酸化シリコン膜等の絶縁保護膜32を形成して、半導体メモリを完成させる。

【0054】上述したように、この例の半導体メモリの製造方法によれば、Ru膜から成る下部電極膜16Aを形成した後レジスト17をマスクとして不要な下部電極膜16Aを除去して下部電極16を形成し、レジストをアッシングにより除去した後、下部電極16表面のみに緩衝膜としての役割を担うRu膜から成る選択成長膜18を選択成長させ、この後にTa<sub>2</sub>O<sub>5</sub>膜から成る容量絶縁膜20を形成するようにしたので、容量絶縁膜20は下部電極16と接しないで、成長絶縁膜18と接するようになる。したがって、容量絶縁膜20は下地膜である表面が変質されていない選択成長18の膜質が反映されて形成される。それゆえ、レジスト17のアッシング時に、下部電極16の表面が酸素プラズマにより損傷されて変質しても、容量絶縁膜20はその変質の影響を受けないので劣化することはない。

【0055】しかも、この例の半導体メモリの製造方法によれば、従来の製造方法のように、容量絶縁膜20に対して側壁絶縁膜を形成する必要がないので、この側壁絶縁膜の形成工程は不要になるため、容量絶縁膜にダメージを与えることはなくなる。すなわち、この例では、図17 (f) の絶縁膜111を形成する工程及び図18 (g) の絶縁膜111をエッチバックして側壁絶縁膜11aを形成する工程は必要がないので、既に形成されている容量絶縁膜に対してダメージを与えるおそれはなくなる。さらに、側壁絶縁膜の形成が不要になったことにより、側壁絶縁膜のオーバーエッチングは生じないので、図19に示したような、下部電極101と上部電極105との短絡も生じない。

【0056】図10は、この例によって得られた半導体メモリの容量素子のリーク電流特性を示すもので、リーク電流密度 (縦軸) と印加電圧V<sub>p</sub> (横軸) との関係を示している。Aがこの例による特性を示している。図10から明らかなように、この例による特性Aは、印加電圧V<sub>p</sub>が小さい範囲ではリーク電流を少なく抑えることができることを示している。一方、従来の特性Bは、印加電圧V<sub>p</sub>が小さい範囲でもリーク電流は多くなってい

て、リーク電流特性が低下していることを示している。

【0057】このように、この例の構成によれば、メモリセルトランジスタ10を形成したシリコン基板1上のプラズマ酸化シリコン膜11及びプラズマ酸化シリコン膜12から成る層間絶縁膜にシリンドラ溝13を形成した後に、このシリンドラ溝13に容量素子を形成するにあたり、Ru膜から成る下部電極膜16Aを形成した後レジスト17をマスクとして不要な下部電極膜16Aを除去して下部電極16を形成し、レジスト17をアッシングにより除去した後、下部電極16表面のみに緩衝膜としての役割を担うRu膜から成る選択成長膜18を選択成長させ、この後にTa<sub>2</sub>O<sub>5</sub>膜から成る容量絶縁膜20を形成するようにしたので、容量絶縁膜に対して側壁絶縁膜を形成しなくとも、下部電極加工時に生じた変質の影響を防止することができる。したがって、容量絶縁膜にダメージを与えることなく、容量素子のリーク電流特性の低下を防止することができる。

【0058】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあつてもこの発明に含まれる。たとえば、各実施例では半導体メモリに用いる容量素子を製造する例で説明したが、これに限らず容量素子のみを半導体基板上に形成する場合にも適用することができる。また、下部電極の下に形成するバリア膜は、TiN/Tiの積層膜に限らずに、TaN (窒化タンタル膜) 等の他の材料を用いることができる。また、選択成長性を有する金属としては、Ruに限らずに、タンゲステン (W) 、窒化タンゲステン (WN) 、白金 (Pt) 等の他の金属を用いることも可能である。

【0059】また、容量絶縁膜はTa<sub>2</sub>O<sub>5</sub>膜に限らずに、チタン酸ジルコン酸鉛 (PZT) 、チタン酸バリウム (BTO) 、チタン酸ストロンチウム (STO) 等の他の材料を用いることができる。また、容量素子の立体構造は、シリンドラ型に例をあげて説明したがこれに限らず、ボックス型、フィン型等の他の立体構造電極にも適用することができる。また、半導体メモリの構造はピット配線を容量素子の上部に配置するCUB (Capacitor Under Bit) 構造に例をあげて説明したがこれに限らず40に、COB (Capacitor Over Bit) 構造に適用することもできる。

【0060】

【発明の効果】以上説明したように、この発明の半導体メモリの製造方法によれば、メモリセルトランジスタを形成した半導体基板上の層間絶縁膜にコンタクトホールを形成した後に、このコンタクトホールに容量素子を形成するにあたり、下部電極膜を形成した後レジストをマスクとして不要な下部電極膜を除去して下部電極を形成し、レジストをアッシングにより除去した後、下部電極表面のみに緩衝膜としての役割を担う選択成長膜を選択

成長させ、この後に容量絶縁膜を形成するようにしたので、容量絶縁膜に対して側壁絶縁膜を形成しなくとも、下部電極加工時に生じた変質の影響を防止することができる。また、この発明の容量素子の製造方法によれば、半導体基板上の層間絶縁膜にコンタクトホールを形成した後に、このコンタクトホールに容量素子を形成するにあたり、下部電極膜を形成した後レジストをマスクとして不要な下部電極膜を除去して下部電極を形成し、レジストをアッシングにより除去した後、下部電極表面のみに緩衝膜としての役割を担う選択成長膜を選択成長させ、この後に容量絶縁膜を形成するようにしたので、容量絶縁膜に対して側壁絶縁膜を形成しなくとも、下部電極加工時に生じた変質の影響を防止することができる。したがって、容量絶縁膜にダメージを与えることなく、容量素子のリーク電流特性の低下を防止することができる。

【図面の簡単な説明】

【図1】この発明の一実施例である半導体メモリの製造方法の構成を工程順に示す工程図である。

【図2】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図3】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図4】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図5】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図6】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図7】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図8】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図9】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図10】この発明の第1実施例により得られた容量絶縁膜のリーク電流特性を示す図である。

【図11】この発明の第1実施例に用いられる選択成長金属膜の膜厚と成長時間との関係を示す図である。

【図12】従来の半導体メモリの製造方法の構成を工程順に示す工程図である。

【図13】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図14】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図15】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図16】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図17】同半導体メモリの製造方法の構成を工程順に示す工程図である。

【図18】同半導体メモリの製造方法の構成を工程順に示す工程図である。

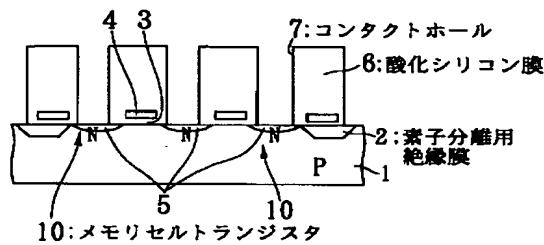
【図19】従来の半導体メモリの製造方法の欠点を示す図である。

【符号の説明】

1	P型シリコン基板
2	素子分離用絶縁膜
3	ゲート酸化膜
4	ゲート電極（ワードライン）
20	N型拡散領域（ソース領域又はドレイン領域）
5	酸化シリコン膜（層間絶縁膜）
6	コンタクトホール
7	容量コントラクト
8	10 メモリセルトランジスタ
10	11 プラズマ酸窒化シリコン膜
11	12 プラズマ酸化シリコン膜
12	13 シリンダ溝
13	15、28 バリア膜（TiN/Ti膜）
15	16A 下部電極膜（Ru膜）
16	30 下部電極
17、23、26	レジスト
18	選択成長膜（Ru膜）
20	容量絶縁膜（Ta <sub>2</sub> O <sub>5</sub> 膜）
21A	上部電極膜（Ru膜）
21	上部電極
22、29	22 W膜（上部電極膜）
24	24 容量素子
27	27 ピットコンタクトホール
30	30 ピットコンタクト
40	31 TiN膜（ピット配線）
32	32 絶縁保護膜

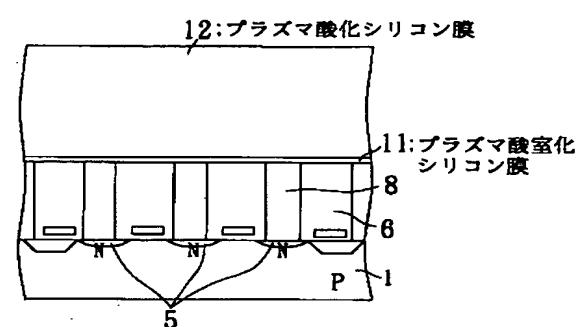
【図1】

(a)

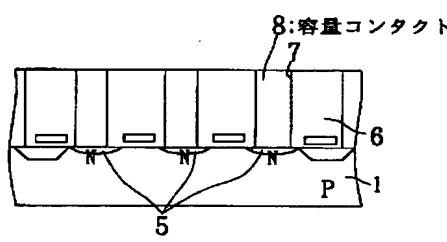


【図2】

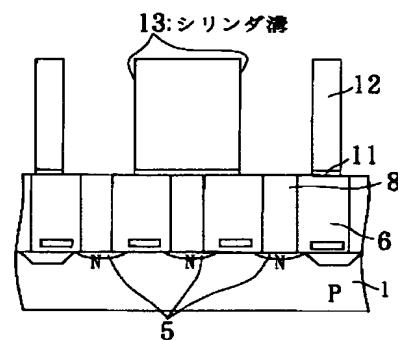
(c)



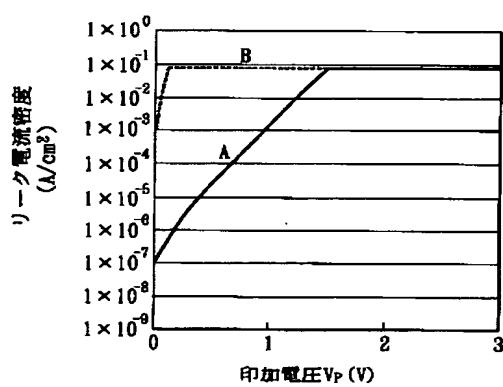
(b)



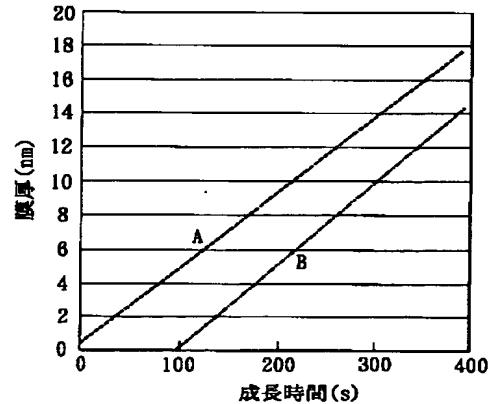
(d)



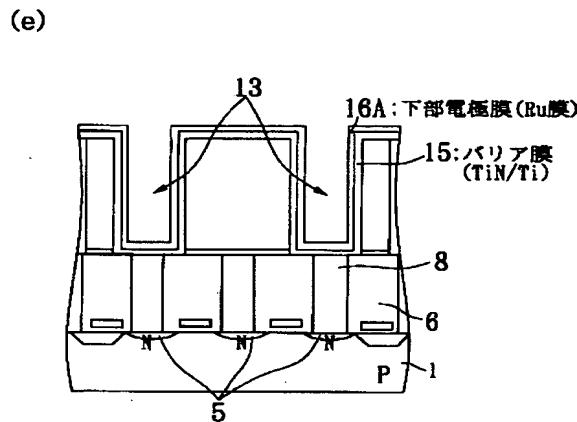
【図10】



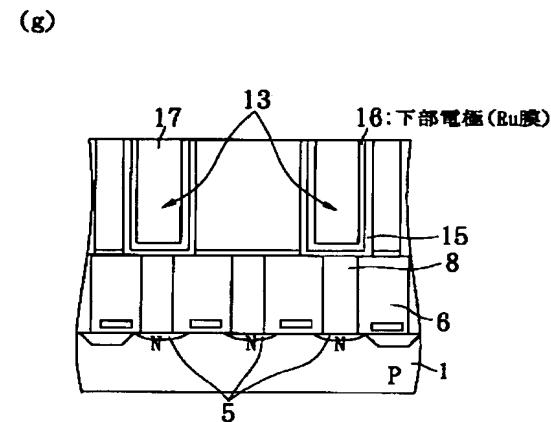
【図11】



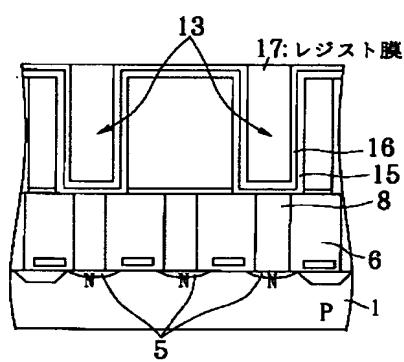
【図3】



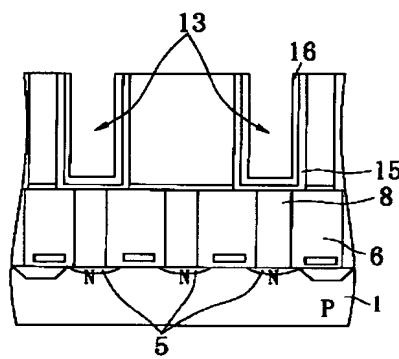
【図4】



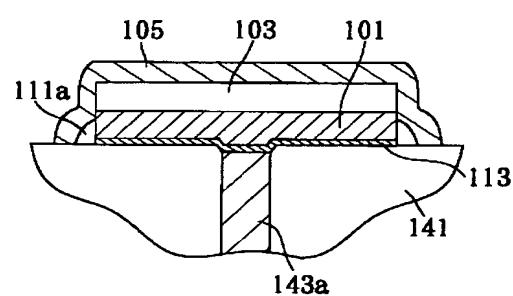
(f)



(h)

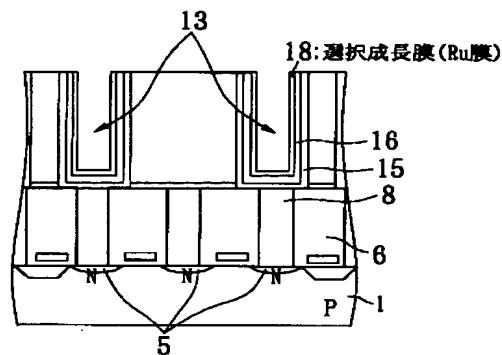


【図19】



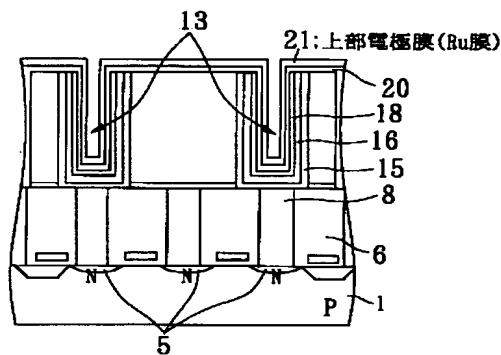
【図5】

(i)

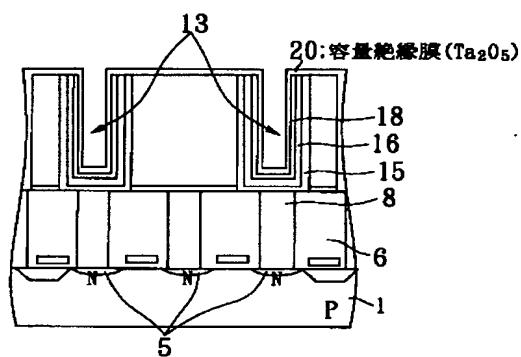


【図6】

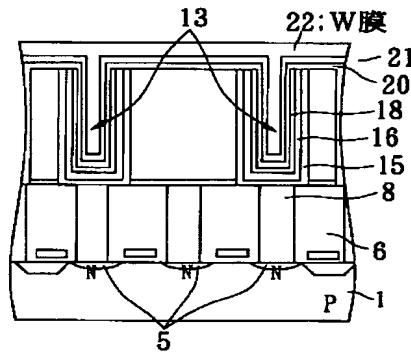
(k)



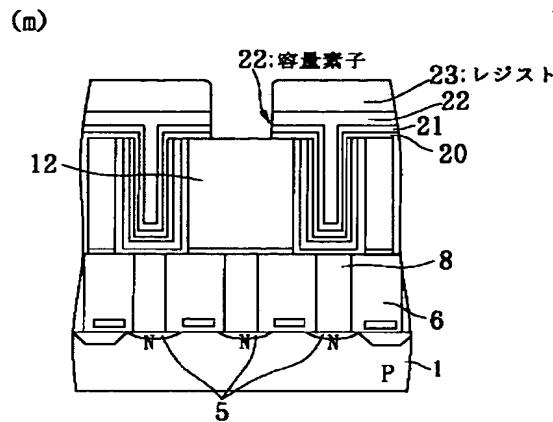
(j)



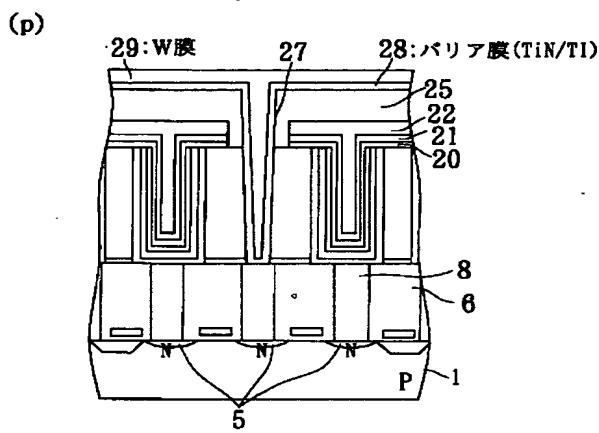
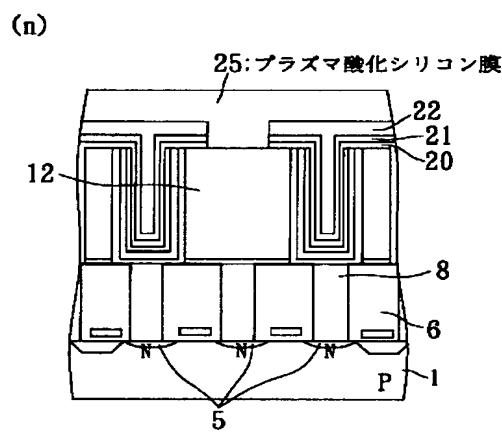
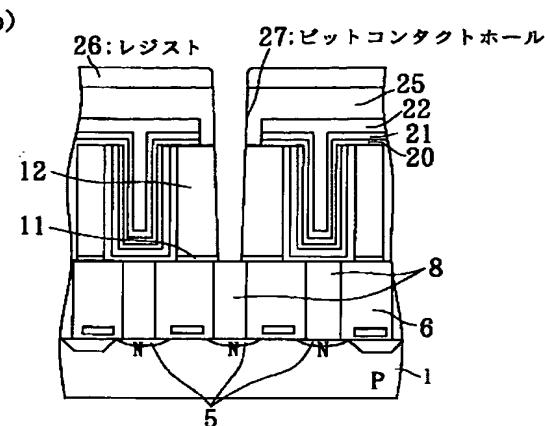
(l)



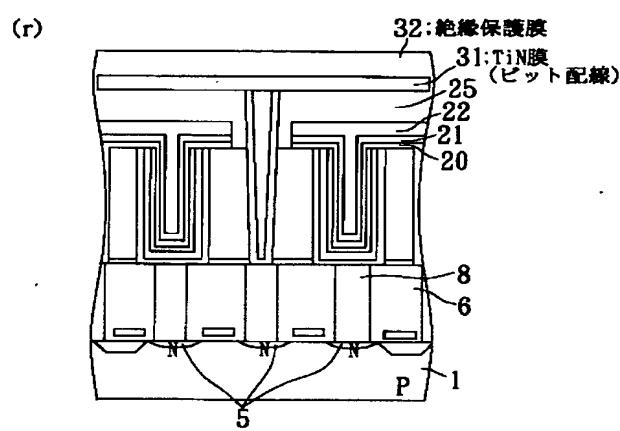
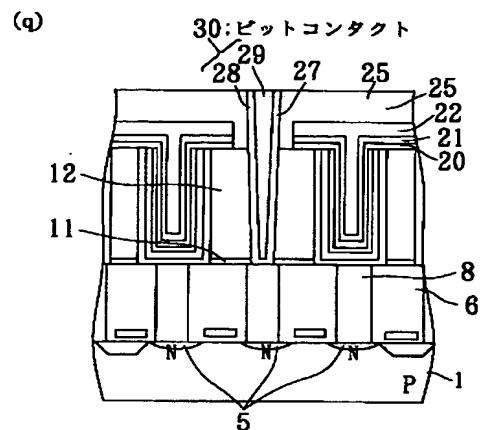
【図7】



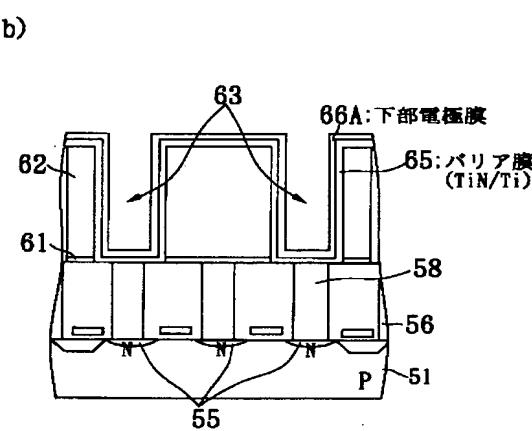
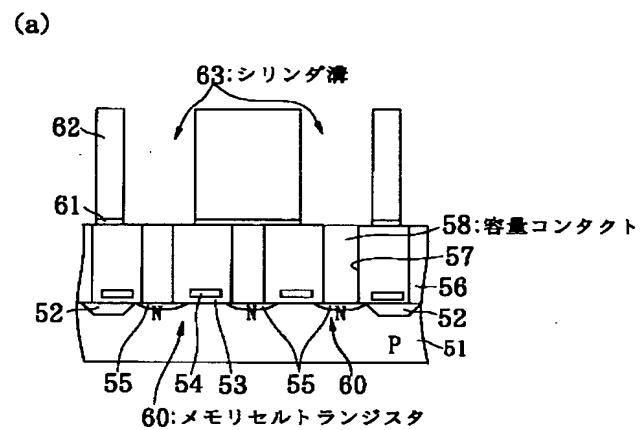
【図8】



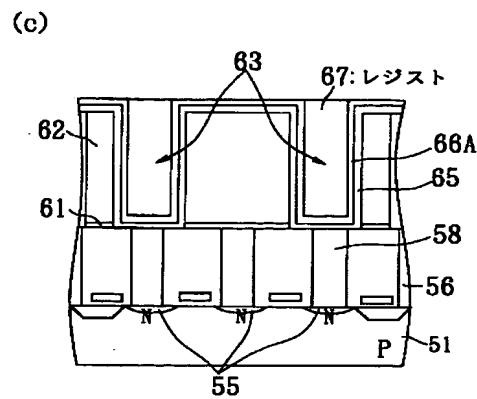
【図9】



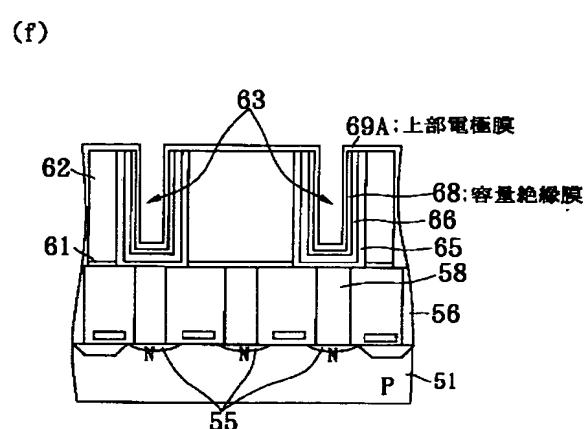
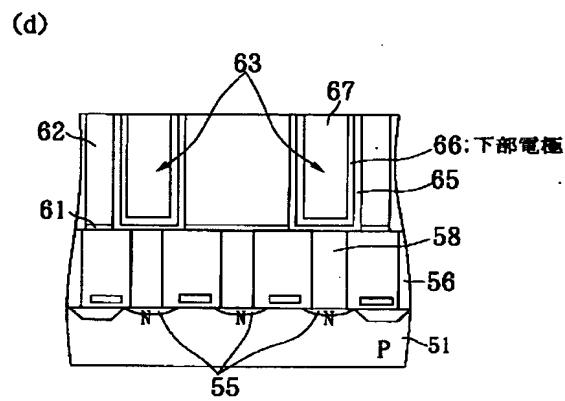
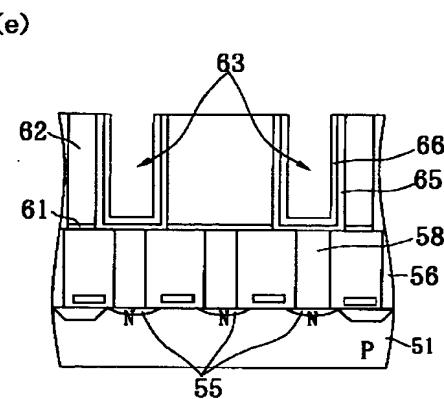
【図12】



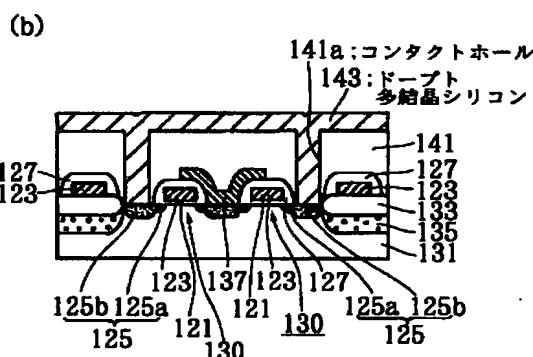
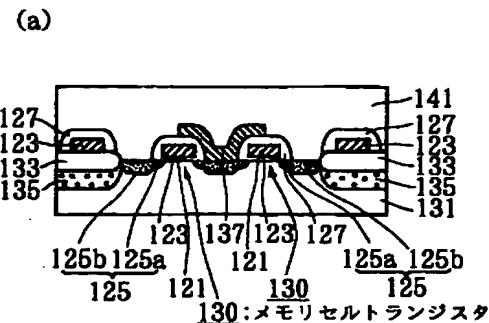
【図13】



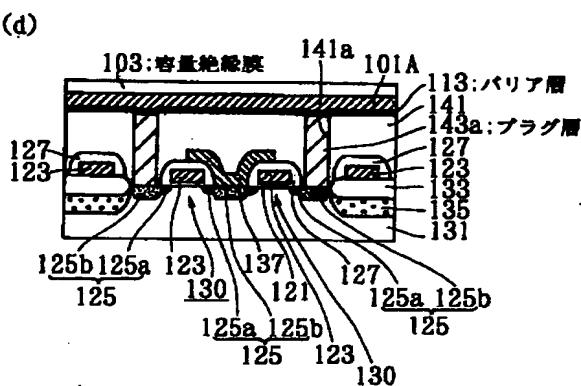
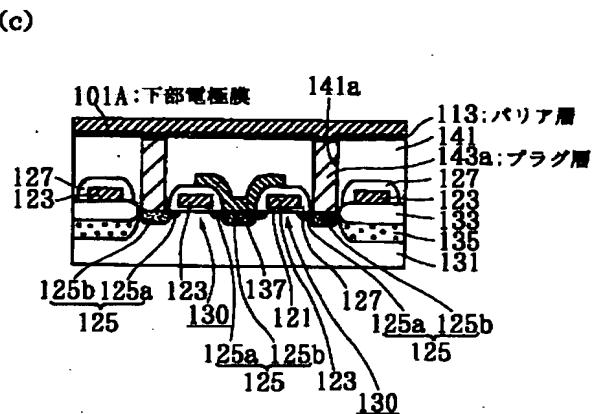
【図14】



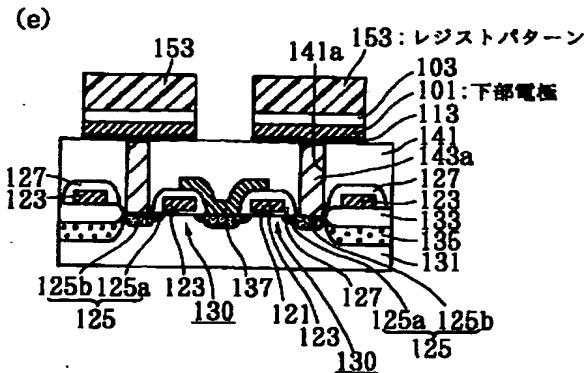
【図15】



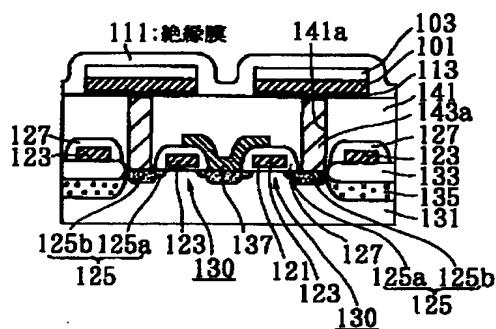
【図16】



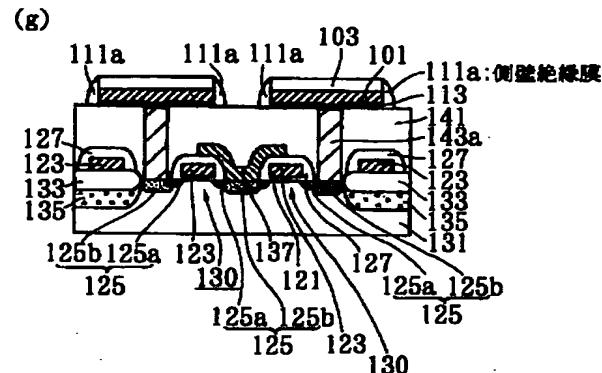
【図17】



(f)



【図18】



(h)

